

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Oh et al.

Serial No.: To Be Assigned

Filed: Concurrently herewith

For: **INTEGRATED CIRCUIT DEVICES INCLUDING A MULTI-LAYER POLY FILM CELL PAD CONTACT HOLE AND METHODS OF FORMING THE SAME**

Date: July 18, 2003

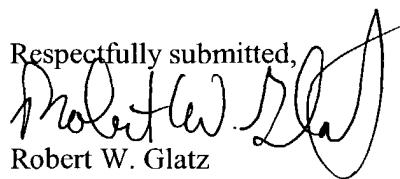
Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 U.S.C. § 119, enclosed is a certified copy of Korean priority Application No. 2002-49548 filed August 21, 2002.

If any extension of time for the accompanying response or submission is required, Applicant requests that this be considered a petition therefor. No fee is believed due, however, the Commissioner is hereby authorized to charge any deficiency, or credit any refund, to our Deposit Account No. 50-0220.

Respectfully submitted,

Robert W. Glatz
Registration No. 36,811

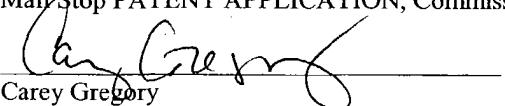
Myers Bigel Sibley & Sajovec
PO Box 37428
Raleigh NC 27627
Tel (919) 854-1400
Fax (919) 854-1401

CERTIFICATE OF EXPRESS MAILING

Express Mail Label No. EV 318421302 US

Date of Deposit: July 18, 2003

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450


Carey Gregory



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2002-0049548
Application Number

출 원 년 월 일 : 2002년 08월 21일
Date of Application AUG 21, 2002

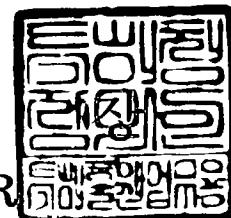
출 원 인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 02 월 12 일

특 허 청

COMMISSIONER



【서지사항】

| | |
|------------|--|
| 【서류명】 | 특허출원서 |
| 【권리구분】 | 특허 |
| 【수신처】 | 특허청장 |
| 【제출일자】 | 2002.08.21 |
| 【발명의 명칭】 | 셀 패드 콘택의 저항을 감소시킨 반도체 장치 및 그 제조 방법 |
| 【발명의 영문명칭】 | A SEMICONDUCTOR DEVICE REDUCING A CELL PAD RESISTANCE AND THE FABRICATION METHOD THEREOF |
| 【출원인】 | |
| 【명칭】 | 삼성전자 주식회사 |
| 【출원인코드】 | 1-1998-104271-3 |
| 【대리인】 | |
| 【성명】 | 박상수 |
| 【대리인코드】 | 9-1998-000642-5 |
| 【포괄위임등록번호】 | 2000-054081-9 |
| 【발명자】 | |
| 【성명의 국문표기】 | 오용철 |
| 【성명의 영문표기】 | OH, YONG CHUL |
| 【주민등록번호】 | 640123-1452710 |
| 【우편번호】 | 442-470 |
| 【주소】 | 경기도 수원시 팔달구 영통동 청명마을 건영아파트 426-702 |
| 【국적】 | KR |
| 【발명자】 | |
| 【성명의 국문표기】 | 진교영 |
| 【성명의 영문표기】 | JIN, GYO YOUNG |
| 【주민등록번호】 | 620826-1051816 |
| 【우편번호】 | 430-016 |
| 【주소】 | 경기도 안양시 만안구 안양6동 427-3번지 5/6 |
| 【국적】 | KR |
| 【심사청구】 | 청구 |
| 【취지】 | 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 박상수 (인) |

1020020049548

출력 일자: 2003/2/13

【수수료】

| | | | | |
|-----------------|----|---|-------------------|---|
| 【기본출원료】 | 19 | 면 | 29,000 | 원 |
| 【가산출원료】 | 0 | 면 | 0 | 원 |
| 【우선권주장료】 | 0 | 건 | 0 | 원 |
| 【심사청구료】 | 7 | 항 | 333,000 | 원 |
| 【합계】 | | | 362,000 | 원 |
| 【첨부서류】 | | | 1. 요약서·명세서(도면)_1통 | |

【요약서】**【요약】**

본 발명은 셀 패드(CELL PAD) 콘택의 저항을 감소시킨 반도체 장치및 그 제조방법에 관한 것으로, 상세하게는 반도체 기판의 셀 패드 콘택에 제 2/ 제 3 폴리막을 증착하고 폴리막 증착 공정사이에 이온 주입 공정을 삽입하여 제 2 폴리막과 N- 형 소오스/ 드레인 영역간의 접촉 저항을 줄여서 셀 패드 콘택의 저항을 감소시킨 반도체 장치및 그 제조방법이다.

상기 반도체 장치는 셀 어레이(CELL ARRAY) 영역에서 게이트(GATE)에 오버랩되는 소오스/ 드레인 영역과 제 2/ 제 3 폴리막이 이루는 셀 패드콘택 저항을 줄여서 스토리지(STORAGE) 노드에 저장되는 데이터(DATA)의 손실을 방지하고, 제 2/ 제 3 폴리막에 내재된 도우편트(DOPANT)와 이온 주입된 이온(ION)이 인접된 게이트로 확산되는 것을 막아서 반도체 장치의 구동시에 게이트(GATE)에 대한 다이내믹 리프레쉬(DYNAMIC REFRESH) 폐일을 개선할 수 있다.

【대표도】

도 2c

【색인어】

셀 패드 콘택저항, 폴리막, 도우편트, 이온, 트랜지스터, 다이내믹 리프레쉬.

【명세서】**【발명의 명칭】**

셀 패드 콘택의 저항을 감소시킨 반도체 장치 및 그 제조방법{A SEMICONDUCTOR DEVICE REDUCING A CELL PAD RESISTANCE AND THE FABRICATION METHOD THEREOF}

【도면의 간단한 설명】

도 1 은 종래 기술에 의한 반도체 기판의 셀 패드 콘택에 패드 폴리막이 매립된 반도체 장치의 단면도.

도 2a 는 본 발명에 의한 반도체 기판에 셀 패드 콘택이 형성된 반도체 장치의 단면도.

도 2b 는 본 발명에 의한 반도체 기판에 제 2 폴리막이 증착된 반도체 장치의 단면도.

도 2c 는 본 발명에 의한 셀 패드콘택에 제 2/ 제 3 폴리막으로 된 패드(PAD) 폴리막이 형성된 반도체 장치의 단면도.

도 2d 는 본 발명에 의한 패드 폴리막에 BC(BURIED CONTACT) 폴리막이 형성된 반도체 장치의 단면도.

(도면의 주요 부분에 대한 부호의 설명)

100: 반도체 기판

150: 소자 격리막

200: 제 1 폴리막

230: WSi 막

260: 제 1 질화막

270: N- 형 소오스/ 드레인 영역

280: 게이트

290: 게이트 스페이서

320: 제 1 절연막

1T, 2T: 두께

350: 셀 패드(PAD) 콘택

380, 380-1: 제 2 폴리막

390, 390-1: 이온 영역

410: 제 3 폴리막

3L: 유효 채널(EFFECTIVE CHANNEL) 길이

430: 제 2 절연막

440: BC(BURIED CONTACT) 콘택

450: BC 폴리막

4L: 직경

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<17> 본 발명은 셀 패드(CELL PAD) 콘택의 저항을 감소시킨 반도체 장치 및 그 제조방법에 관한 것으로, 상세하게는 반도체 기판의 셀 패드 콘택에 제 2/ 제 3 폴리막을 증착하고 폴리막 증착 공정사이에 이온 주입 공정을 삽입하여 제 2 폴리막과 N- 형 소오스/ 드레인 영역간의 접촉 저항을 줄여서 셀 패드 콘택의 저항을 감소시킨 반도체 장치 및 그 제조방법에 관한 것이다.

<18> 일반적으로, 상기 반도체 장치는 셀 패드콘택 저항의 증가/ 감소로 인해서 반도체 기판의 EDS(ELECTRICAL DIE SORTING) 테스트시에 다음과 같은 두가지 페일 (FAIL)의 우려 사항이 있다.

<19> 우선적으로, 상기 반도체 장치의 구동시에 셀 패드 콘택 저항이 큰 경우는, 스토리지(STORAGE) 노드에 DATA 를 저장하거나 그 DATA 를 다시 체크할 때에, 상기 저항의 증가 분에 해당하는 DATA 손실로 상기 반도체 장치에 테스트 페일을 유발시킨다.

- <20> 또한, 상기 반도체 장치의 구동시에 셀 패드 콘택 저항이 매우 작은 경우는 상기 데이터에 대한 손실은 미미한 수준이나, 상기 셀 패드 콘택에 매립된 패드 폴리막의 도우펜트(DOPANT)가 인접된 게이트로의 확산때문에 게이트(GATE)의 유효 채널 길이(EFFECTIVE CHANNEL LENGTH)가 작아져서 상기 반도체 장치의 구동시에 다이내믹 폐일(DYNAMIC FAIL)을 유발시킨다.
- <21> 본 출원은 '셀프 얼라인 콘택 플러그의 제조 방법(METHOD FOR FABRICATING A SELF ALIGNED CONTACT PLUG)'이라는 명칭으로 미합중국 출원번호 제09/431,239 호와 관계된 것으로, 여기에 참고적으로 기재한다.
- <22> 상기 미합중국 출원은 반도체 장치의 셀 어레이 영역에 형성된 셀 패드 콘택의 저항을 감소시키기 위해서 셀 패드 콘택을 통한 반도체 기판에 이온주입 공정과 셀 패드 콘택에 매립되는 패드 폴리막의 형성을 두 단계의 증착 공정을 통하여 셀 패드 콘택 저항을 낮추고, 이를 통한 셀 패드 콘택과 접촉되는 정션(JUNCTION)의 누설 전류를 줄여서 설계 퍼포먼스를 향상시키는 것이다.
- <23> 상기 셀 패드 콘택의 매립은 반도체 기판에 셀 패드 콘택의 형성으로 생긴 데미지를 큐어(CURE)하는 목적으로 고온에서 도핑(DOPING)이 안된 제 1 폴리막 증착과, 후속으로 셀 패드 콘택 저항을 낮추기 위해서 도핑된 제 2 폴리막 증착으로 수행되어진다.
- <24> 그러나, 상기 이온 주입과 폴리막 증착 공정은 패드 폴리막 및 반도체 기판간의 접촉 저항은 작게할 수 있으나, 두 단계의 패드 폴리막 증착과정에서 셀 패드 콘택을 통해서 주입된 이온(ION)과 제 2 폴리막의 도우펜트(DOPANT) 확산으로 인접된 게이트의 유효 채널 길이(EFFECTIVE CHANNEL LENGTH)를 줄여들게 하여 반도체 장치에 다이내믹 폐일을 일으킬 수 있다..

- <25> 이하, 첨부된 도면을 참조하여 종래 기술을 설명한다.
- <26> 도 1 은 종래 기술에 의한 반도체 기판의 셀 패드 콘택에 패드 폴리막이 매립된 반도체 장치의 단면도이다.
- <27> 도 1 과 같이, 반도체 기판(10)에 소자 격리막(15)을 형성하고, 반도체 기판 (10)에 게이트 산화막(도면에 미 도시)과 순차적으로 증착된 폴리막/ WSi 막/ 제 1 질화막 (20, 23, 26)으로 게이트(28)를 형성하고, 반도체 기판(10)과 게이트(28)에 제 2 질화막 (도면에 미 도시)을 증착하여 게이트(28)의 양 측벽에 게이트 스페이서 (29)를 형성한다
- <28> 또한, 반도체 기판(10)을 평탄화하는 절연막(32)을 증착하고, 게이트(28)와 게이트 스페이서(29)에 의해서 자기 정렬되도록 절연막(32)을 식각하여 반도체 기판(10)을 노출시키는 셀 패드 콘택(35)을 형성하고, 셀 패드 콘택(35)과 절연막(32)의 상면에 제 3 질화막(도면에 미 도시)을 증착하여 셀 패드 콘택(35)의 측벽에 스페이서(38)를 형성하고, 셀 패드 콘택(35)에 패드 폴리막(40)을 매립한다.
- <29> 상기 패드 폴리막(40)의 매립은 셀 패드 콘택(35)과 절연막(32)에 패드 폴리막(40)을 증착하고, 절연막(32)의 상면이 노출되도록 에치 백(ETCH BACK)하여 셀 패드 콘택 (35)을 매립한다.
- <30> 상기 반도체 장치는 셀 패드 콘택(35)을 형성하는 주변 환경에 의해서 패드 폴리막(40)이 절연막(32) 상면에 폴리막 찌꺼기(도면에 미 도시)가 생길수 있는 구조를 가지며, 상기 스페이서(38)는 폴리막 찌꺼기를 제거하기 위해서 수행되는 보다 강화된 세정으로 인한 절연막(32)의 손상을 방지하기 위한 버퍼(BUFFER) 막의 역할을 한다.

<31> 그러나, 상기 반도체 장치는 스페이서(38)의 형성으로 보다 작은 콘택의 직경(1L)을 가지며, 상기 콘택 직경(1L)은 셀 패드 콘택(35)에 매립될 패드 폴리막(40)과 반도체 기판(10)간의 접촉 면적이 작아져서 셀 패드 콘택(35)에 대한 저항이 증가되는 현상을 낳는다.

<32> 또한, 상기 스페이서(38)는 셀 패드 콘택(35)에 패드 폴리막(40)이 매립된 이후에는 도전막의 역할을 못하여 셀 패드 콘택(35) 저항을 증가시키는 요인이 된다.

<33> 상기 셀 패드 콘택(35) 저항은 셀 패드 콘택내 스페이서(38) 형성이후에 셀 패드 콘택(35)을 통하여 반도체 기판(10)에 PLUG 이온(39) 주입을 수행해서 낮출 수가 있으나, 상기 PLUG 이온(39) 주입은 인접된 게이트(28)로의 이온(ION) 확산을 도와주기 때문에 반도체 기판(10)의 게이트(28)에 형성된 유효 채널 길이(2L, EFFE CTIVE CHANNEL LENGTH)를 더욱 짧게한다.

<34> 상기 축소된 유효 채널 길이(2L)는 외부에서 인가된 전원에 의하여 반도체 기판(10)의 게이트(28)와 오버랩되는 N- 형 소오스/ 드레인 영역(27)간에 쉽게 편 치쓰루(PUNCHTHROUGH)를 만든다.

<35> 상기 반도체 장치는 PLUG 이온(39) 주입으로 유효 채널 길이(2L)가 짧아져서 구동 시에 다이나믹 리프레쉬(DYNAMIC REFRESH)에 취약한 구조를 가지며, 상기 구조는 반도체 장치의 피포먼스를 저하시킨다.

【발명이 이루고자 하는 기술적 과제】

<36> 상기 기술적 과제를 해결하기 위해서 본 발명은 반도체 기판의 게이트/ 게이트 스페이서 및 평탄화용 제 1 절연막으로 셀(CELL) 패드 콘택을 형성하고, 셀 패드 콘택과 제

1 절연막에 제 2 폴리막을 증착한 후에 이온 주입을 실시하고, 제 2 폴리막에 제 3 폴리막을 증착하고, 절연막의 상면이 노출되어 제 2/ 제 3 폴리막으로 셀 패드 콘택을 매립시켜서 반도체 기판에 형성된 셀 패드콘택의 저항 감소를 꾀하며 게이트의 유효 채널 길이 감소를 방지한다.

【발명의 구성 및 작용】

<37> 상기 기술적 과제를 구현하기 위해서, 본 발명의 반도체 장치는 반도체 기판과 소자 격리막에 형성된 게이트 산화막과, 상기 게이트 산화막에 순차적으로 제 1 폴리막/ WSi 막/ 제 1 질화막을 형성하여 만든 게이트와, 상기 게이트의 양 측벽에 형성된 제 2 질화막으로 된 스페이서와, 상기 반도체 기판과 게이트 및 게이트 스페이서에 형성된 절연막과, 상기 절연막에 형성되고 게이트와 게이트 스페이서로 자기 정렬하여 반도체 기판을 노출하는 셀(CELL) 패드 콘택을 포함하며, 상기 셀 패드 콘택과 절연막에 제 2 폴리막을 형성하고, 제 2 폴리막에 수행한 이온 주입으로 N- 형 소오스/ 드레인 영역과 오버랩되는 이온 영역을 형성하고, 제 2 폴리막에 제 3 폴리막을 형성한 후에 절연막의 상면이 노출되게 하여 셀 패드 콘택을 매립하는 것이 특징이다.

<38> 상기 제 2 폴리막 두께는 셀 패드 콘택 매립을 쉽게하도록 제 3 폴리막 두께보다 얇게 형성하거나, 셀 패드 콘택 크기별로 20~300Å 두께로 형성하는 것이 바람직하다.

<39> 또한, 본 발명의 반도체 장치 제조방법은 소자 격리막과 제 1 폴리막/ WSi 막/ 제 1 질화막으로 된 게이트 산화막 및 제 2 질화막으로 된 게이트 스페이서, 게이트와 게이트 스페이서에 의한 굴곡을 평탄화하는 절연막이 형성되도록 반도체 기판을 준비시키는 단계와, 상기 절연막에 게이트와 게이트 스페이서로 자기 정렬되어 반도체 기판이 노출되도록 셀(CELL) 패드 콘택을 형성시키는 단계와, 상기 셀 패드 콘택에 제 2 폴리막을

증착시키는 단계와, 상기 제 2 폴리막에 이온 주입을 실시하여 이온 영역을 형성시키는 단계와, 상기 제 2 폴리막에 제 3 폴리막을 증착시키는 단계와, 상기 절연막의 상면이 노출되도록 제 2 / 제 3 폴리막을 식각하여 셀 패드 콘택이 매립시키는 단계를 포함하는 것이 특징이다.

<40> 상기 제 2 폴리막은 언 도우프트(UNDOPED) 또는 도우프트(DOPED) 도전막을 사용하거나, 상기 제 2 폴리막 농도는 제 3 폴리막보다 작은 농도인 것이 바람직하다.

<41> 상기 이온 영역의 깊이는 제 2 폴리막의 두께로 조절되는 것이 바람직하다.

<42> 이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명한다.

<43> 도 2a 는 본 발명에 의한 반도체 기판에 셀(CELL) 패드 콘택이 형성된 반도체 장치의 단면도이다.

<44> 도 2a 와 같이, 소자 격리막(150)과 반도체 기판(100)에 게이트 산화막(도면에 미 도시)을 형성하고, 반도체 기판(100)의 선택 영역에 제 1 폴리막/ WSi 막/ 제 1 질화막(200, 230, 260)으로 된 게이트(280)의 형성과, 반도체 기판(100)과 게이트(280) 및 게이트 스페이서(290)에 제 1 절연막(320)을 증착하여 평탄화하고, 제 1 절연막(320)을 식각하여 게이트(280)와 게이트 스페이서(290)로 자기 정렬된 셀 패드 콘택(350)을 형성한다.

<45> 상기 셀 패드 콘택(350) 형성은 종래 기술과 동일하며, 본 발명을 구현하기 위해서 상기 구조를 갖고 N- 형 소오스/ 드레인 영역(270)이 형성된 반도체 기판(100)을 준비한다.

- <46> 상기 셀 패드 콘택(350)은 게이트 스페이서(290)의 어텍(ATTACK)으로 WSi 막(230)이 노출되지 않도록 식각 래시피(RECIPE)를 조절하여 형성한다.
- <47> 도 2b 는 본 발명에 의한 반도체 기판에 제 2 폴리막이 증착된 반도체 장치의 단면도이다.
- <48> 도 2b 와 같이, 도 2a 의 셀 패드 콘택(350)과 제 1 절연막(320)에 제 2 폴리막(380)을 증착하고, 제 2 폴리막(380)에 이온 주입(도면에 미 도시)을 실시한다.
- <49> 상기 이온(ION) 주입은, 셀 패드 콘택(350) 측벽에 증착된 제 2 폴리막(380)의 구조때문에, 셀 패드콘택 밑면보다 인접된 게이트 스페이서(290)로의 이온의 주입이 상대적으로 적게된다.
- <50> 즉, 주입되는 이온의 관점에서 셀 패드 콘택의 밑면에 증착된 제 2 폴리막(380)의 두께(1T)와 게이트 스페이서(290)에 증착된 제 2 폴리막(380)의 버티컬(VERTICAL) 두께(2T)간의 차이로 반도체 기판(100)에 이온 주입의 불균형을 나타낸다.
- <51> 상기 이온 주입은, 종래 기술대비 제 2 폴리막(380)이 이온 주입의 버퍼(BUFFER)막 역할을 하기 때문에, 반도체 기판(100)에 N- 형 소오스/ 드레인 영역(270)과 오버랩되고 셀 패드 콘택의 직경보다 작은 이온 영역(390)을 형성하게 한다.
- <52> 또한, 상기 반도체 기판(100)에 이온 주입으로 형성된 이온 영역(390)의 깊이는 제 2 폴리막(380)의 두께를 변화시켜 조절할 수 있다.
- <53> 도 2c 는 본 발명에 의한 셀 패드 콘택에 제 2/ 제 3 폴리막으로 된 패드(PAD) 폴리막이 형성된 반도체 장치의 단면도이다.

- <54> 도 2c 와 같이, 도 2b 의 제 2 폴리막(380)에 제 3 폴리막을 증착(도면에 미 도시)하고, 에치 백(ETCH BACK)으로 제 1 절연막(320-1)의 상면이 노출되도록 식각된 제 2/제 3 폴리막(380-1, 410)으로 도 2a 의 셀 패드 콘택(350)을 매립한다.
- <55> 상기 셀 패드 콘택(350)의 매립은 종래 기술의 패드 폴리막(40)을 형성하기 위해서 수행되는 공정이다.
- <56> 상기 셀 패드 콘택(350)에 식각된 제 3 폴리막(410)이 양호하게 매립되도록, 상기 도 2b 의 제 2 폴리막(380) 두께는 제 3 폴리막(도면에 미 도시)의 두께보다 얇게 형성하거나 도 2a 의 셀 패드 콘택(350) 크기별로 30~300Å 으로 증착하는 것이 바람직하다.
- <57> 상기 도 2b 의 제 2 폴리막(380)은, 도 2b 에 이온 영역(390)이 게이트 스페이서(290) 밑으로의 확산을 방지하기 위해서, 식각된 제 3 폴리막(410)보다 낮은 농도로 증착하거나 도핑(DOPING)되지 않은 폴리막을 사용한다.
- <58> 상기 식각된 제 2/ 제 3 폴리막(380-1, 410)의 농도 차이는 식각된 제 3 폴리막(410)에 내재되어 있는 도우펀트(DOPANT)가 직접적으로 반도체 기판(100)으로 확산되는 것을 방지하는 효과를 기대할 수 있다.
- <59> 즉, 상기 효과는 반도체 기판(100)에 제 3 폴리막의 도우펀트 확산으로 농도가 변한 이온 영역(390-1)을 형성하지만, 전체적으로 N- 형 소오스/ 드레인 영역의 크기가 변하지 않게하기 때문에 게이트(280)의 유효 채널 길이(3L, EFFECTIVE CHANNEL LENGTH)를 종래 기술대비 크게 유지할 수 있게 해준다.
- <60> 도 2d 는 본 발명에 의한 패드 폴리막에 BC(BURIED CONTACT) 폴리막이 형성된 반도체 장치의 단면도이다.

- <61> 도 2d 와 같이, 식각된 제 2/ 제 3 폴리막(380-1, 410)으로 형성된 패드 폴리막에 제 2 절연막(430)을 증착하고, 제 2 절연막(430)에 패드 폴리막 상면의 일부분이 노출되도록 BC(BURIED CONTACT) 콘택(440)을 형성하고, 상기 BC 콘택(440)에 BC 폴리막(450)을 매립시킨다.
- <62> 상기 BC 폴리막(450)의 매립은 BC 콘택(440)과 제 2 절연막(430)의 상면에 BC 폴리막을 증착(도면에 미 도시)하고, 제 2 절연막(430)의 상면이 노출되도록 에치 백(ETCH BACK)하여 BC 콘택(440)에 식각된 BC 폴리막(450)을 매립한다.
- <63> 상기 반도체 장치는 BC 콘택의 형성 공정이후에 진행되는 공정 순서는 종래 기술과 동일하다.
- <64> 상기 반도체 장치는, 도 2c 의 게이트(280)에 형성된 유효 채널 길이(EFFECTIVE CHANNEL LENGTH)가 종래 기술대비 증가되어서, 외부의 인가된 전원으로 펀치쓰루(PUNCHTHROUGH)가 방지되는 도 2c 의 N- 형 소오스/ 드레인 영역(390)을 갖는다.
- <65> 상기 펀치쓰루 방지는 반도체 장치의 구동시에 다이내믹 리프레쉬(DYNAMIC REFRESH)에 관련된 폐일(FAIL)을 없애준다.
- <66> 또한, 상기 반도체 장치는 도 2c 의 제 3 폴리막(410)의 도우펀트(DOPANT)가 제 2 폴리막(380-1)으로 확산되어 제 2/ 제 3 폴리막(380-1, 410)으로 패드 폴리막을 형성하고, 도 2d 의 제 2 폴리막(380-1)이 반도체 기판(100)과 접촉되어 종래 기술대비 증가된 셀 패드 콘택의 직경(4L)을 갖는다.

<67> 즉, 도 2a 의 셀 패드 콘택(350) 측벽에 종래 기술대비 질화막으로 된 스페이서(38)를 사용하지 않기 때문에, 상기 반도체 장치는 셀 패드 콘택(350) 밑면에서 종래 기술의 스페이서(38) 두께만큼의 스페이스(SPACE)를 더 확보할 수 있다는 의미이다.

<68> 상기 직경(4L)은 스토리지 노드(STORAGE NODE)에 저장되는 데이터(DATA)의 손실(LOSS)을 감소시켜서 스테틱 리프레쉬(STATIC REFRESH)에 관련된 폐일을 없애준다.

【발명의 효과】

<69> 상술한 바와 같이, 본 발명은 반도체 기판에 순차적으로 형성된 게이트와 게이트스페이서 및 제 1 절연막으로 셀 패드 콘택을 만들고, 셀 패드 콘택에 순차적으로 제 2 폴리막 증착과 이온 주입을 실시하고, 셀 패드 콘택에 서로 다른 농도로 형성된 제 2/제 3 폴리막을 매립시켜서, 제 2 폴리막과 반도체 기판간의 접촉 면적을 종래 기술대비 늘리고 제 2 폴리막에 수행된 이온 주입으로 다이내믹 리프레쉬(DYNAMIC REFRESH) 폐일을 방지할 수 있다.

【특허청구범위】**【청구항 1】**

반도체 기판과 소자 격리막에 형성된 게이트 산화막;

상기 게이트 산화막에 순차적으로 제 1 폴리막/ WSi 막/ 제 1 질화막을 형성하여 만든 게이트;

상기 게이트의 양 측벽에 형성된 제 2 질화막으로 된 스페이서;

상기 반도체 기판과 게이트및 게이트 스페이서에 형성된 절연막;

상기 절연막에 형성되고 게이트와 게이트 스페이서로 자기 정렬하여 반도체 기판을 노출하는 셀 패드 콘택; 을 포함하며,

상기 셀 패드 콘택과 절연막에 제 2 폴리막을 형성하고, 제 2 폴리막에 수행한이온 주입으로 N- 형 소오스/ 드레인 영역과 오버랩되는 이온 영역을 형성하고, 제 2 폴리막에 제 3 폴리막을 형성한 후에 절연막의 상면이 노출되게 하여 셀 패드 콘택을 매립하는 것이 특징인 셀 패드 콘택의 저항을 감소시킨 반도체 장치.

【청구항 2】

제 1 항에 있어서, 상기 제 2 폴리막 두께는 셀 패드 콘택 매립을 쉽게하도록 제 3 폴리막 두께보다 얇게 형성하는 것이 특징인 셀 패드 콘택의 저항을 감소시킨 반도체 장치.

【청구항 3】

제 1 항에 있어서, 상기 제 2 폴리막은 셀 패드 콘택의 크기별로 30~300Å 두께로 형성하는 것이 특징인 셀 패드 콘택의 저항을 감소시킨 반도체 장치.

【청구항 4】

소자 격리막과 제 1 폴리막/ WSi 막/ 제 1 질화막으로 된 게이트 산화막및 제 2 질화막으로 된 게이트 스페이서, 게이트와 게이트 스페이서에 의한 굴곡을 평탄화하는 절연막이 형성되도록 반도체 기판을 준비시키는 단계;

상기 절연막에 게이트와 게이트 스페이서로 자기 정렬되어 반도체 기판이 노출되도록 셀 패드 콘택을 형성시키는 단계;

상기 셀 패드 콘택에 제 2 폴리막을 증착시키는 단계;

상기 제 2 폴리막에 이온 주입을 실시하여 이온 영역을 형성시키는 단계;

상기 제 2 폴리막에 제 3 폴리막을 증착시키는 단계;

상기 절연막의 상면이 노출되도록 제 2 / 제 3 폴리막을 식각하여 셀 패드 콘택이 매립시키는 단계; 를 포함하는 것이 특징인 셀 패드 콘택의 저항을 감소시킨 반도체 장치의 제조 방법.

【청구항 5】

제 4 항에 있어서, 상기 제 2 폴리막은 언 도우프트(UNDOPED) 또는 도우프트(DOPED) 도전막을 사용하는 것이 특징인 셀 패드 콘택의 저항을 감소시킨 반도체 장치의 제조 방법.

【청구항 6】

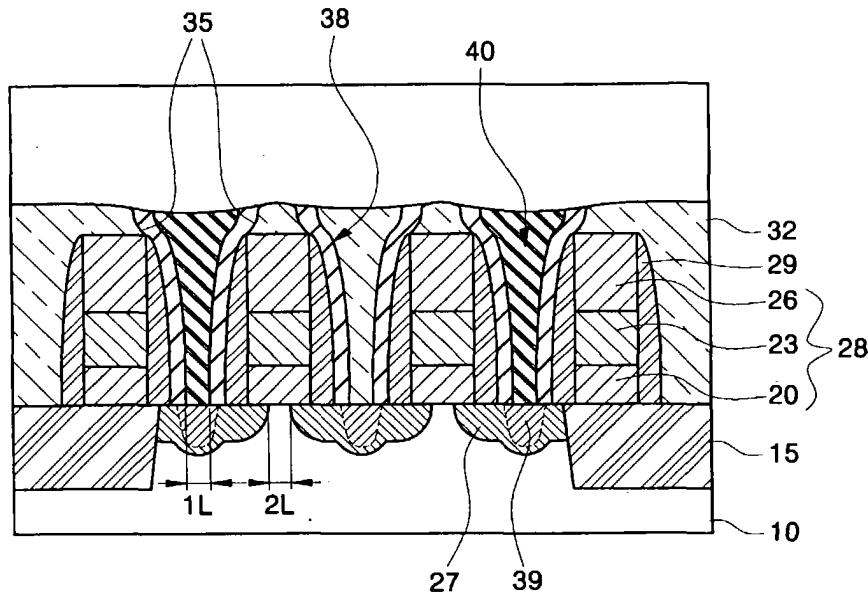
제 4 항에 있어서, 상기 제 2 폴리막 농도는 제 3 폴리막보다 작은 농도인 것이 특징인 셀 패드 콘택의 저항을 감소시킨 반도체 장치의 제조 방법.

【청구항 7】

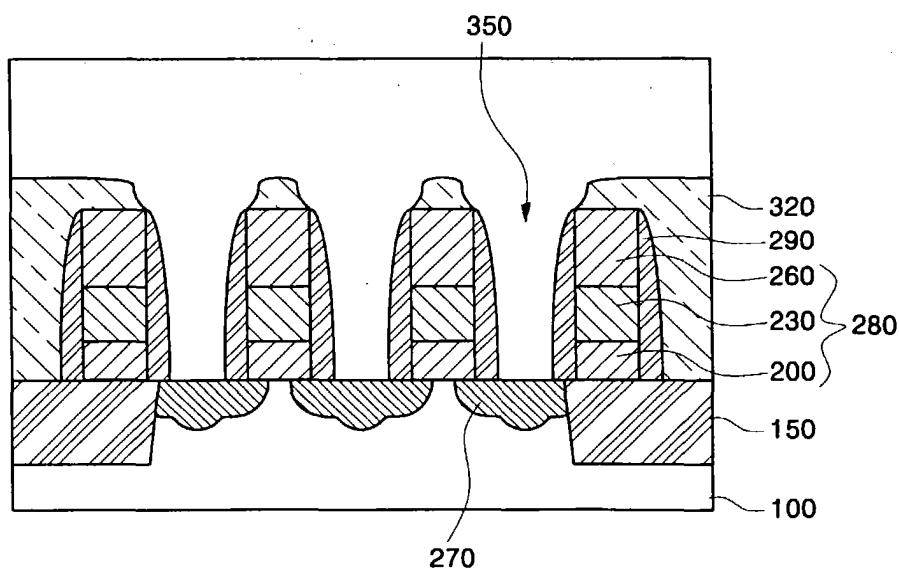
제 4 항에 있어서, 상기 이온 영역의 깊이는 제 2 폴리막의 두께로 조절되는 것이
특징인 셀 패드 콘택의 저항을 감소시킨 반도체 장치의 제조 방법.

【도면】

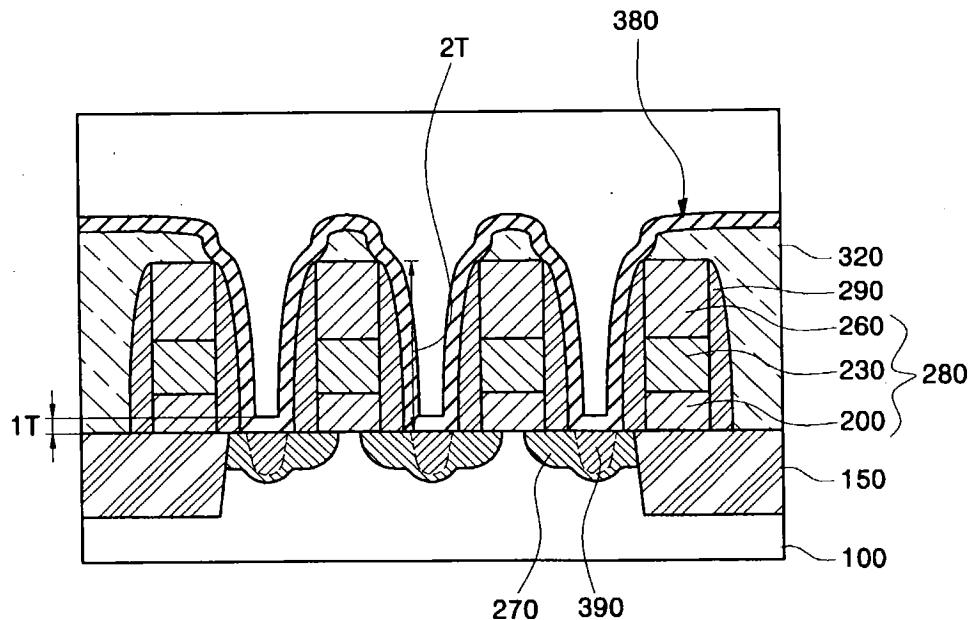
【도 1】



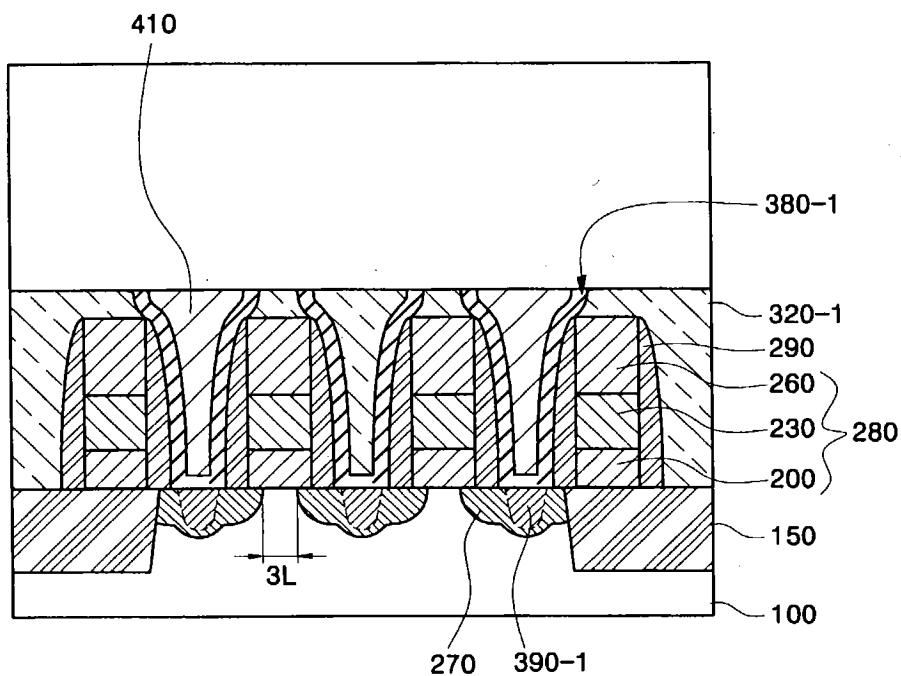
【도 2a】



【도 2b】



【도 2c】



【도 2d】

